

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-147426

(43)Date of publication of application : 06.06.1995

(51)Int.Cl.

H01L 31/108

G11C 11/42

H01L 27/15

H01L 29/43

(21)Application number : 05-292318

(71)Applicant : NEC CORP

(22)Date of filing : 24.11.1993

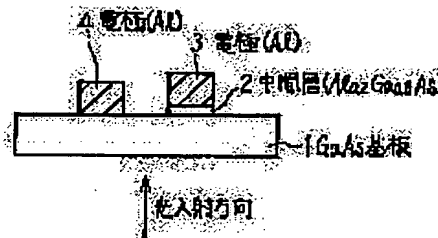
(72)Inventor : FUJIEDA SHINJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device which has an element that has both light receiving function and storing function by providing an electrode by successively laminating a middle layer formed of a specific compound semiconductor thin film and a metal film on a semiconductor substrate.

CONSTITUTION: An electrode 3 which has a metal/semiconductor structure is formed on a semiconductor substrate 1 as a light receiving and storing element on a semiconductor substrate 1. Then, a compound semiconductor thin film whose stoichiometry ratio is not one, not containing excess element deposition, is inserted between the metal/semiconductor structured electrode 3 and the semiconductor substrate 1 as a middle layer 2. The material of the compound semiconductor to be the middle layer 2 can be the same or different from that of the semiconductor of the substrate 1, and it can be either single crystal or non-single crystal. Thus, a semiconductor device provided with metal/ semiconductor junction that has both light receiving function and storing function is provided.



LEGAL STATUS

[Date of request for examination] 29.03.1994

[Date of sending the examiner's decision of rejection] 08.04.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

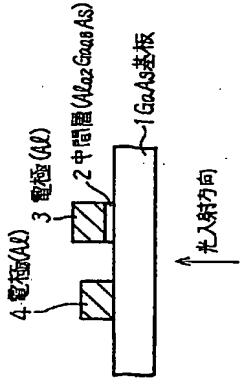
[Date of extinction of right]

(51) Int. Cl. ⁷	識別記号	庁内整理番号	FI	技術表示箇所
H01L 31/108				
G11C 11/42	D			
H01L 27/15	Z	8832-4M		
			H01L 31/10	
			29/46	
		7376-4M		
				C
				H

(21) 出願番号	特願平6-282318	(71) 出願人	000004237
(22) 出願日	平成5年(1993)11月24日		
		日本電気株式会社	
		東京都港区芝五丁目7番1号	
		藤枝 恒次	
		東京都港区芝五丁目7番1号	
		株式会社内	
		日本電気株	
		式会社内	
		伊理士 京本 四樹 (外2名)	

(54) 【発明の名称】 半導体装置

(57) 【要約】
 【目的】 受光および記憶機能を同時に持つ素子を有する半導体装置を実現する。
 【構成】 GaAs基板1上にAs過剰Al_{0.2}Ga_{0.8}As薄膜の中間層2を設け、その上にAl電極3を設ける。更にGaAs基板1上にAl電極4を設ける。



(2) 特開平7-147426

【作用】 発光デバイス、特に発光ダイオードの材料が化合物半導体に限られることから、OEICの材料には化合物半導体が主に用いられる。本第1の発明で用いる金属/半導体構造の半導体装置は、化合物半導体で最も容易に作製でき集積化に適当な構造である。本発明の化合物半導体の中間層には、化学量論比ずれによる欠陥が多量に含まれる。例えば、Ga過剰なGaAs中にはアンチサイトガリウムや砒素空孔が多量存在する。また、逆に砒素過剰なGaAs中にはアンチサイト砒素やガリウム空孔が多量存在する。これらの欠陥は、それぞれに特有の電子的状態を持つ。これらの欠陥状態は極めて深く、捕獲したキャリアを容易に放出しないので、記憶機能を担わせることができる。析出物は再結合速度を高くし、配位欠陥を劣化させるので、中間層は析出物を含まないものとする。第2の発明では、金属と上記中間層とを絶縁性薄膜で分離する。これは、中間層に捕獲されたキャリアが金属へトンネリングし記憶保持機能が劣化してしまうのを有効に防ぐためである。

10 【0007】 本発明の装置の構造で受光・記憶動作を得るには、図1、図2に示すように、中間層2とAl13あるいは中間層2とSIN、膜5とAl13を第1の電極とし、第2の金属 (Al1) 電極4を設けてMSMダイオード構造を作製する。電極4の材料は電極3の材料と違っても良い。第1の電極が押バイアスとなるよう第1、第2の電極間に電圧を印加しつつ、半導体 (GaAs) 基板1のバンドギャップよりエネルギーの大きなパルス光 (書き込み光) を照射して半導体基板1中にキャリアを発生させ光電流を誘起する。この時、キャリアの一部が中間層2内の単位に捕獲される。光照射・電圧印加をやめても、単位に捕獲された時間内では捕獲状態が十分保持される。信号の読みだしには光を照射して欠陥状態からキャリアを放出させれば良く、この時電極間に電圧が生ずる。この放出電荷量は書き込みの有無に対応する。すなわち光入力の有無が受光素子において記憶されたのら読み出される。さらに、金属/半導体 (電極3と中間層2) 接合、あるいは中間層2とSIN、膜5と電極3との接合を有する電極を複数と、電極4を1つ設けることにより、これら個々の接合電極に入力した蓄積電荷の和を電極4での電流値から読みとることができる。すなわち、ある時間内に個々の記憶装置に与えられた入力信号の和演算が可能になる。

30 【0008】

【実施例】 次に本発明を図面を用いて説明する。図1は本発明の第1の実施例の断面図である。

40 【0009】 図1において、(100) GaAs基板1の上にAs過剰Al_{0.2}Ga_{0.8}As薄膜の中間層2、その上にAl1からなる電極3を設ける。As過剰Al1GAs中間層2は、As/(Ga+Al) ピーク比を10、基板温度を200℃、成長速度を0.8 μm/時とするMBE (分子線エピタキシー) 法で成長させ、厚さ

フロントページの続き

技術分野

FI

庁内整理番号

識別記号

(5) Int. Cl.

H01L 29/43

3

を0.5~10nmとする。成長後、表面結晶性向上のため As_4 を照射しながら450℃で5分間熱処理する。これにより、濃度約 $10^{19}cm^{-3}$ の、伝導帯下0.7~0.9eVの As アナンチサイト欠陥単位を持つ中間層2が形成される。この上に室温でAl膜をMBE成長させたのち、このAl膜を通常のリソグラフィにより整型し電極3、4とすればMSMダイオードが得られる。【0010】尚、基板や中間層及び電極を他の材料から構成しても同じ記憶機能を有するダイオードを形成することができ、図1を用いて適用例を説明する。

【0011】第1の適用例としては図1において、(1)00 GaAs基板1上にGaAs過剰GaAs薄膜の中間層をAアイン照射法で形成後、その上にTiNからなる電極を積層する。室温でGaAs基板1の表面にArイオンを加速電圧50~100Vで $1 \times 10^{16}cm^{-2}$ 照射し、基板を450℃で5分間熱処理する。これにより、濃度 $1.0 \times 10^{19}cm^{-3}$ の価電子帯下0.4~0.6eVのGaアナンチサイト欠陥単位を持つ、厚さ1~3nmの中間層が形成される。この上に室温でTiNをスパッタ蒸着させる。TiNをリソグラフィにより整型し電極とすればMSMダイオードが得られる。

【0012】第2の適用例としては図1において、(1)00 InP基板1上にGaAs過剰GaAs薄膜の中間層、その上にAlからなる電極を積層する。GaAs過剰GaAs中間層は、 $As_4/GaAs$ 比を0.5、基板温度を200℃、成長速度を0.8 $\mu m/時$ とするMBE(分子線エビタキシー)法で成長させ、厚さを0.5~5nmとする。成長後、表面結晶性向上のため As_4 を照射せずに450℃で5分間熱処理する。これにより、濃度約 $10^{19}cm^{-3}$ の、価電子帯下0.4~0.6eVのGaアナンチサイト欠陥単位を持つGaAs中間層が形成される。この上に室温でAlをMBE成長させリソグラフィにより整型し電極とすればMSMダイオード

4

3

を得られる。

【0013】図2は本発明の第2の実施例の断面図である。図2において、GaAs基板1上に第1の実施例と同様の As_4 過剰GaAsの中間層2を形成後、SiN_x膜5を厚さ0.5~3nmスパッタ蒸着させ絶縁性薄膜を形成したのち、Alを蒸着する。これを形成して、中間層2AとAl電極3Aが分離された第1の電極を作製したのち、SiN_x膜5を含まない第2のAl電極4Aを形成する。

【0014】このように第2の実施例では、絶縁性薄膜としてSiN_x膜5の挿入により、電極3Aを順バリエースし電流を光照射により誘起する帯き込み過程での中間層2Aから電極3Aへのキャリア流入が阻まれるため、中間層2A内の単位にキャリアが捕獲される割合が増加する。また、帯き込み後帯き込みまでに生じるキャリア再放出過程のうち、電極3Aへのトンネル過程が阻まれる。したがって、本第2の実施例では第1の実施例にくらべ記憶保持性が改善される。

【0015】

【発明の効果】以上説明したように本発明によれば、受光と記憶の機能を同時に持つ金属/半導体接合を有する半導体装置が得られ、OEICの高信頼化が可能になるという効果がある。

【図面の簡単な説明】

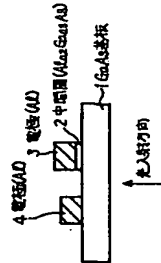
【図1】本発明の第1の実施例の断面図。

【図2】本発明の第2の実施例の断面図。

【符号の説明】

- 1 GaAs基板
- 2, 2A 中間層
- 3, 3A 電極
- 4, 4A 電極
- 5 SiN_x膜

【図1】



【図2】

